

印刷電路板傳輸線上貫孔之效應

The Via's Effects on PCB Traces

盧俊郎 Chun-lang Lu

魏遜泰 Shun-Tai Wei

黃水可 Scott Hwang

Abstract

As signals propagate on PCB traces with faster rise time, the via's capacitive effects change trace's characteristic impedance deeper. Through the years high speed circuit design has asked more accurate in controlling characteristic impedance, concern over a via's effect on PCB "transmission lines" has become a recent topic of discussion. In this paper we send forth a step pulse with 200 pico-second rise time by TDR (time-domain reflectometry) to test coupons and measure its reflective wave, then use IPA510 simulation software to analyze via's effects.

摘要

當印刷電路板傳輸線上所傳遞的訊號上升時間越來越快，貫孔(via)電容效應對傳輸線特性阻抗影響會越明顯。近年來由於高速電路設計對控制特性阻抗要求越來越嚴苛，傳輸線上貫孔所造成阻抗變化也就成為討論的焦點。本文利用時域反射儀(Time Domain Reflectometry) 產生上升時間 200 兆分之一秒的步階波送至測試電路量測反射波形，並用 IPA510 模擬軟體針對貫孔效應加以分析。

1. 緒言

在印刷電路板上，貫孔常用來做為線路換層佈線之連接及修正特性阻抗之用。在訊號上升時間慢的電路設計上，貫孔的效應影響很小，但當訊號上升時間比傳輸線傳遞延遲時間小 6 倍以上時，則需考慮高頻時貫孔對傳輸線特性阻抗影響[1],[2]。以上升時間 200 兆分之一秒為例，若印刷電路板基板為 FR-4 則傳輸線傳遞延遲時間所對應臨界長度(critical length)約為 1.2 英吋。在本文中測試電路的線長 15 英吋遠超過此臨界長度傳遞延遲時間，故可藉由本量測明顯的看出貫孔的效應。我們將歸納出不同貫孔尺寸、不同板厚、傳輸線在不同訊號層時貫孔電容值與特性阻抗變化關係。

2. 理論



貫孔與接地層(ground plane)間會產生寄生電容(parasitic capacitance)與寄生電感(parasitic inductance)。圖 1 是貫孔模型。

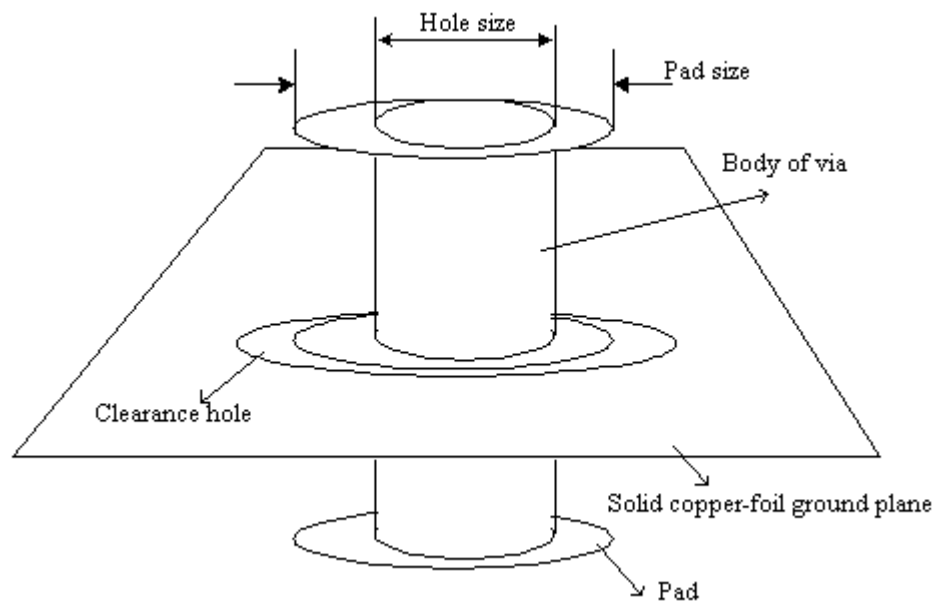


圖 1 貫孔模型

貫孔寄生電容公式(1)[1]

$$C = \frac{1.41\epsilon_r T D_1}{D_2 - D_1} \quad (1)$$

D_2 = 接地層上 clearance hole 的直徑，單位英寸。

D_1 = 貫孔周圍 pad 直徑，單位英寸。

T = 板材厚度，單位英寸。

ϵ_r = 板材相對介電常數。

C = 貫孔寄生電容，單位 pF。

貫孔電容除了造成傳輸線阻抗不連續外，還會使得數位訊號上升時間變慢，公式(2)為電容對上升時間 T_{10-90} 的關係式。因此貫孔電容值越小對訊號完整性(signal integrity)越好。若 pad 直徑接近 clearance hole 的直徑，則會產生大寄生電容。若我們要保持接地層的連續性，則 clearance hole 的直徑不能太大[3]。為避免寄生電容過大，則縮減 pad 大小。

電容上升時間公式(2)[1]

$$T_{10-90} = 2.2C(Z_0 / 2) \quad (2), \text{單位 pSec.。}$$

Z_0 = 傳輸線特性阻抗，單位 ohm

C = 貫孔寄生電容，單位 pF。

貫孔寄生電感公式(3)[1]

$$L = 5.08h \left[\ln \frac{4h}{d} \right] + 1 \quad (3)$$

L =貫孔寄生電感，單位 nH。

h =貫孔長度，單位英寸。

d =貫孔 hole 直徑，單位英寸。

貫孔電感會造成電源之旁路電容濾波功能失效。在高頻時旁路電容的目的是將電源層與接地層短路縮短電流回流路徑。圖 2 說明回流路徑基本準則，即高速訊號電流 依循最小電感路徑回流[1]。若貫孔電感值太大，則高頻訊號無法由旁路電容導引回接地層，而在印刷電路板中到處流竄，引發串音干擾及 EMI 之問題；此現象在高速印刷電路板特別明顯。

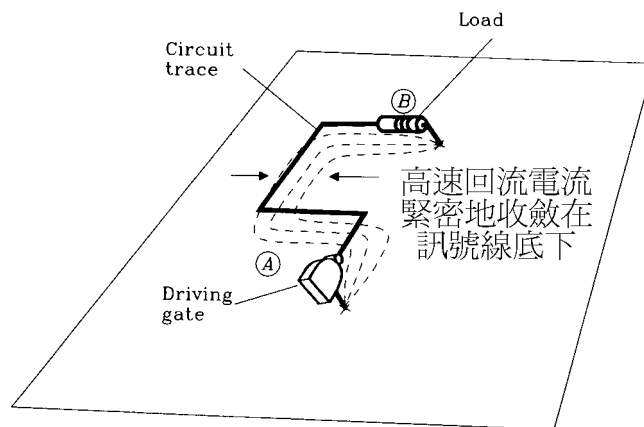


圖 2 高頻時電流回流路徑。

3.貫孔定義、印刷電路板設計及量測程序

貫孔可分為實際貫孔(real via)及虛擬貫孔(dummy via)，以下僅就上述兩種貫孔分別定義之。

real via：為 PCB 佈線時，提供線路換層佈線所鑽之連接孔稱之 real via。

dummy via：PCB 佈線時並未換層，而在這些未換層之線路上所鑽之孔稱之 dummy via。dummy via 之主要作用為提供線路特性阻抗調整之需要。

real via 及 dummy via 之結構請參考圖 3。

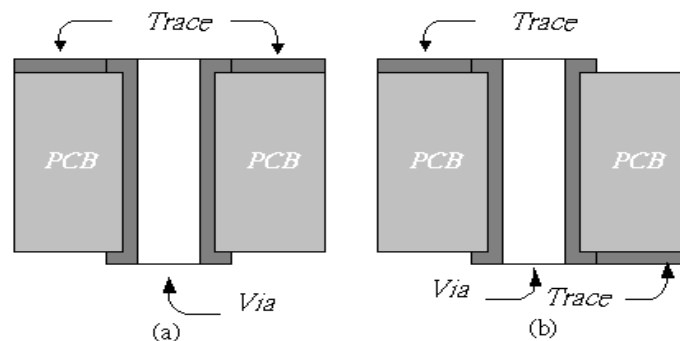


圖 3 (a)為 dummy via 橫切面模型，(b)為 real via 橫切面模型。

以下就本次之 PCB 設計及量測程序做一簡單之敘述：

PCB 設計：本次 PCB 之測試板設計採六層板之疊層架構，其架構圖如圖 4 所

示。其線路傳輸模式，在第一層及第六層採 microstrip，在第三層及第四層採 stripline。線路之佈線示意圖如圖 5 所示，其中線 A 至線 H 之長度、寬度及厚度均相等。而貫孔之大小採以下幾種，40(25)、35(20)、30(15)及 25(15)四種；40(25)即鑽孔直徑為 25mil 錫墊直徑為 40mil，餘依此類推。本實驗 PCB 之板厚設計有兩種，分別為 63mil 及 57mil；最後貫孔之設計除線 H 為 real via 外其餘均為 dummy via。上述 PCB 設計之目的是為了比較 dummy via 及 real via 的差異，以及孔徑大小及 PCB 板厚對貫孔電容之影響。

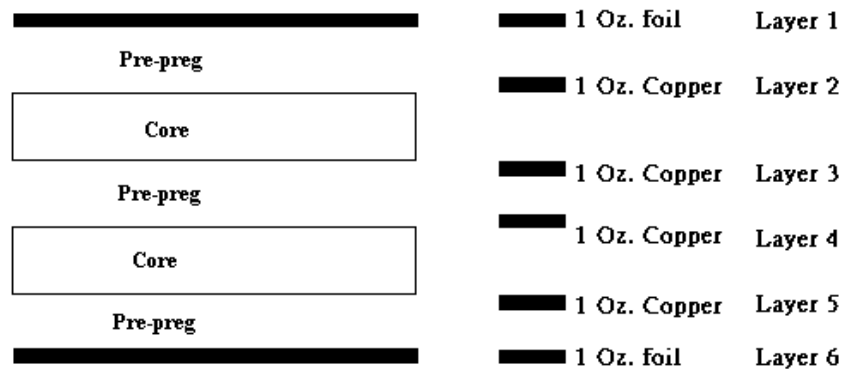


圖 4 六層板疊層圖解。第 2 與第 5 層為接地層，第 1,3,4,6 層為訊號層。

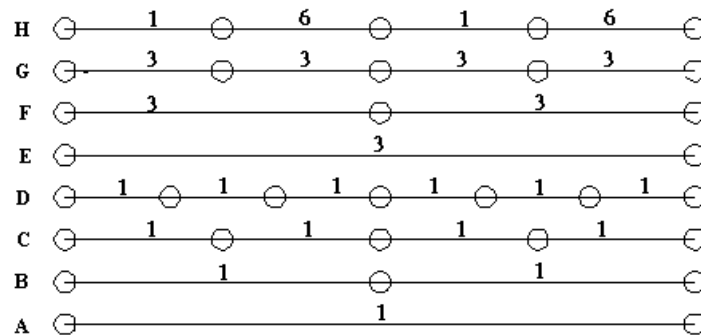


圖 5 線路圖解，線長 15 英吋，圓圈代表線路上的貫孔，線路上標示的數字代表傳輸線連接到的疊層。

量測程序：

量測程序是採用時域反射儀產生 200 兆分之一秒的步階波，經簡易同軸探針 (simple coaxial probe) 將每一條線路的反射波形儲存於 11801C 數位示波器內，再經 IPA510 模擬校正軟體將貫孔的電容、電感值及傳輸線特性阻抗由反射波形中萃取出來。

4. 量測方法與結果

一般時域反射儀(TDR)在時間 $t=t_i$ 時所量測到的反射波 $V_{TDR}(t=t_i)$ 為時間 $t=t_i$

之反射波 $V_r(t=t_i)$ 與時間 $t < t_i$ 之多重反射波 $V_r(t < t_i)$ 之組合。由上得知 $V_{TDR}(t=t_i)$ 並不等於欲量測波形 $V_r(t=t_i)$ ，為修正此項量測誤差，吾等採用 IPA510 之 Z-Profile 演算法[6]，將 TDR 所量測到之多重反射波 $Z_r(t < t_i)$ 去除，而得一乾淨之 $V_r(t=t_i)$ 反射波，最後再將此 $V_r(t=t_i)$ 轉換為特性組抗 Z_l 如圖六所示為 dummy via 特性阻抗修正前後比較；很明顯可看出經 IPA510 修正後之貫孔效應較為明顯，使得測量之結果能反映出真實的貫孔效應。

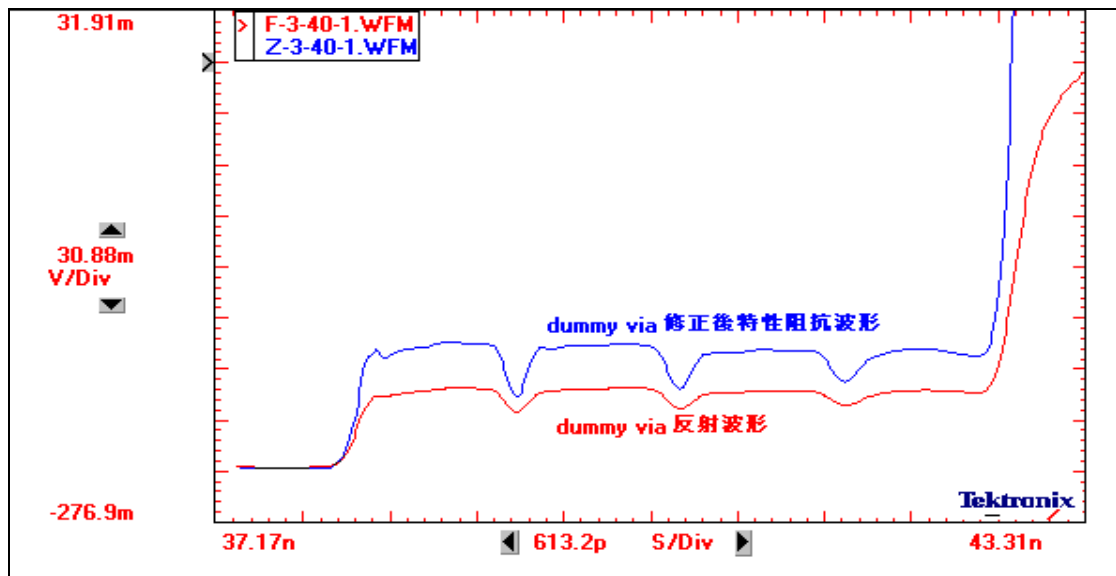


圖 6 dummy via 特性阻抗修正前、後比較。

由貫孔電容公式(1)得知板厚為 63mil，貫孔為 40(25),25(15),30(15)和 35(20)，所計算出相對應之電容值為 0.755pF, 0.629pF, 0.566pF, 0.5285pF。公式值與量測值會隨貫孔種類、印刷電路板厚度、線寬及傳輸線所走訊號層之傳輸模式而有所差異。由量測結果得知 Dummy via 比 real via 有較大電容值，即傳輸線特性阻抗不連續較嚴重，如圖 7-圖 10 所示。

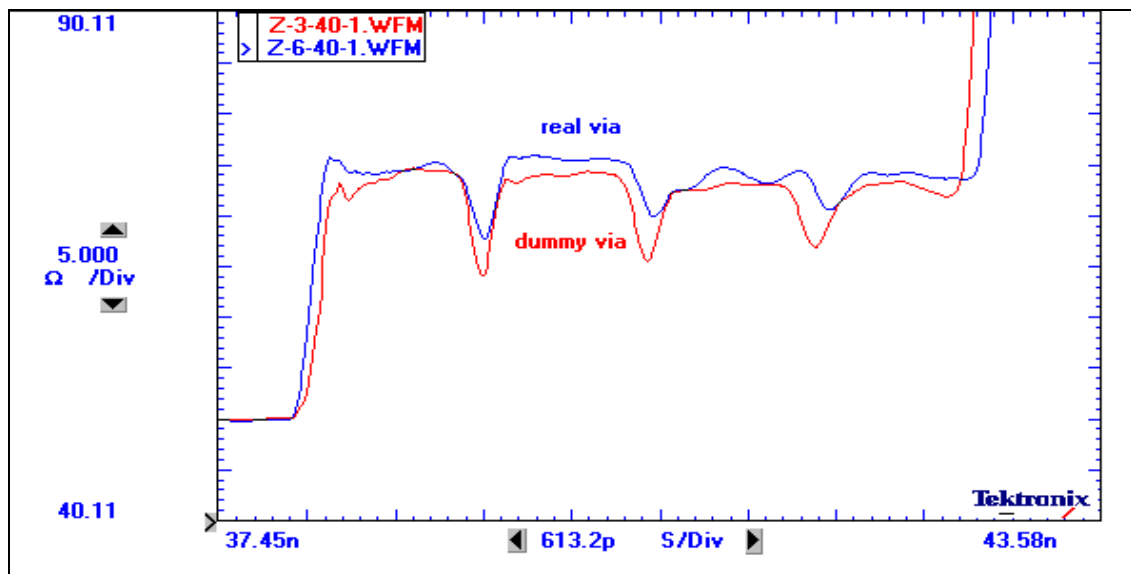


圖 7 貫孔 40(25)的 real via 與 dummy via 對傳輸線阻抗變化情形。

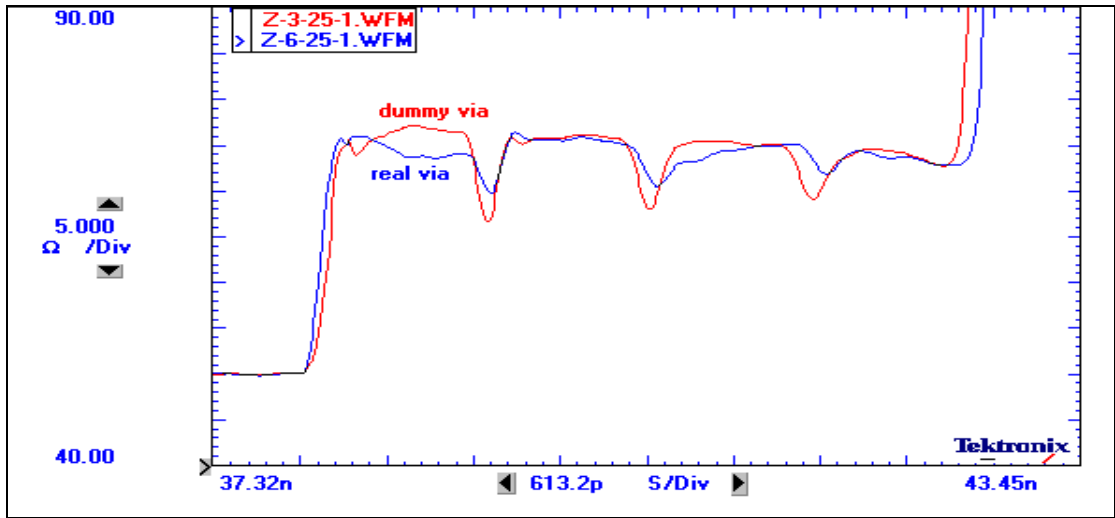


圖 8 貫孔 25(15)的 real via 與 dummy via 對傳輸線阻抗變化情形。

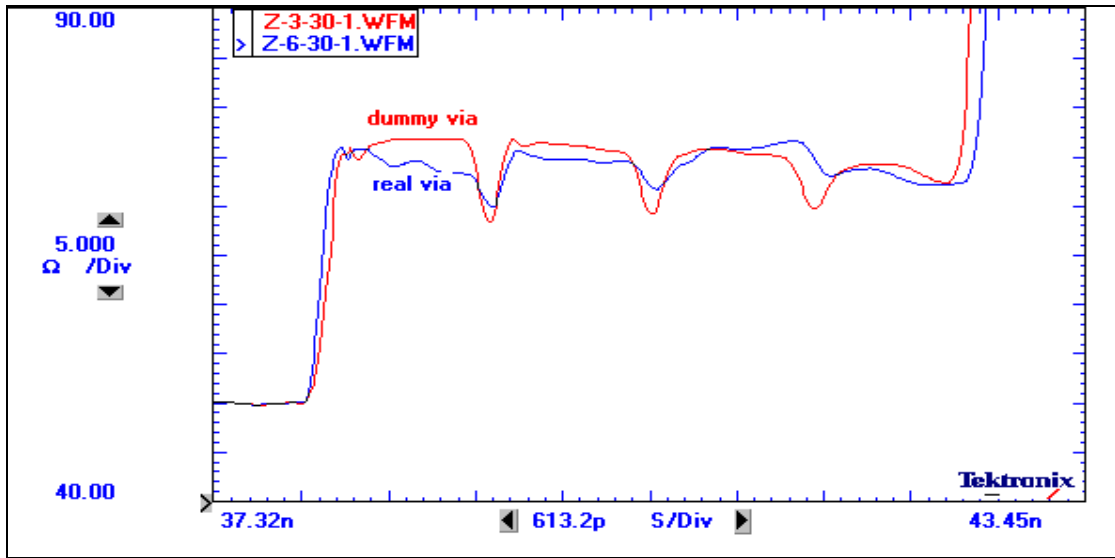


圖 9 貫孔 30(15)的 real via 與 dummy via 對傳輸線阻抗變化情形。

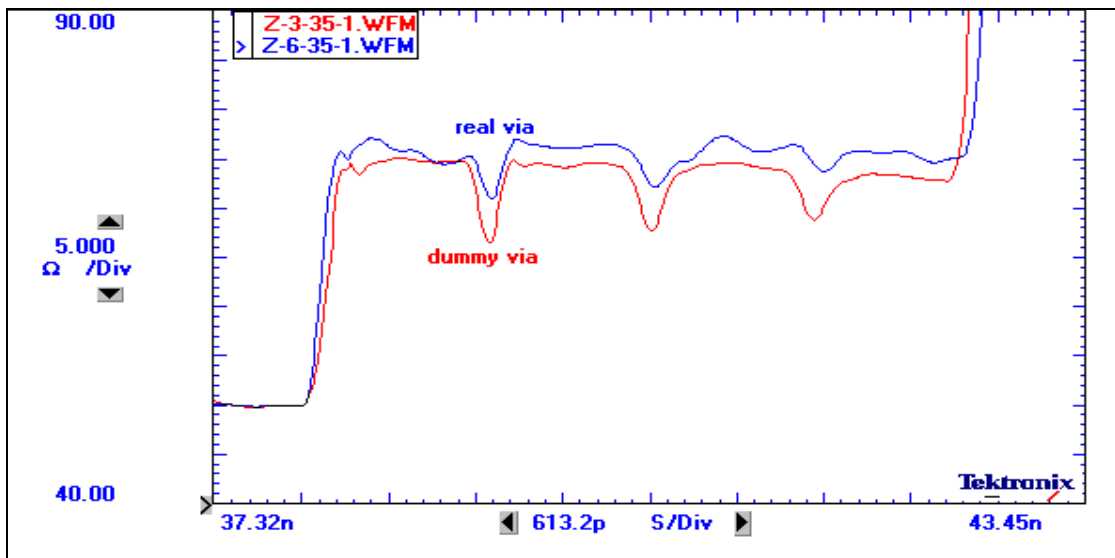


圖 10 貫孔 35(20)的 real via 與 dummy via 對傳輸線阻抗變化情形。

由圖 7~圖 10 得知貫孔效應為大部分之電容效應及小部份電感效應所組成，故為求一正確貫孔效應之電容值及電感值，吾等採用 IPA510 軟體之 5 階 LC 模型模擬貫孔效應之大電容及小電感效應，選擇適當之電容值及電感值參數代入 5 階 LC 模型，其結果如圖 11 所示。圖 11 即為該 5 階 LC 模型之模擬波形與實測波形之比較，觀看圖 11 中之貫孔部分波形知模擬波形與實測波形幾乎完全重疊，故知此 5 階之 LC 模型可完全解釋貫孔效應；而該模型中之電容值參數及電感值參數即對應至貫孔電容及電感之大小，因貫孔效應之電容效應極大於電感效應，故在此僅就電容效應再進一步研究量測與分析。

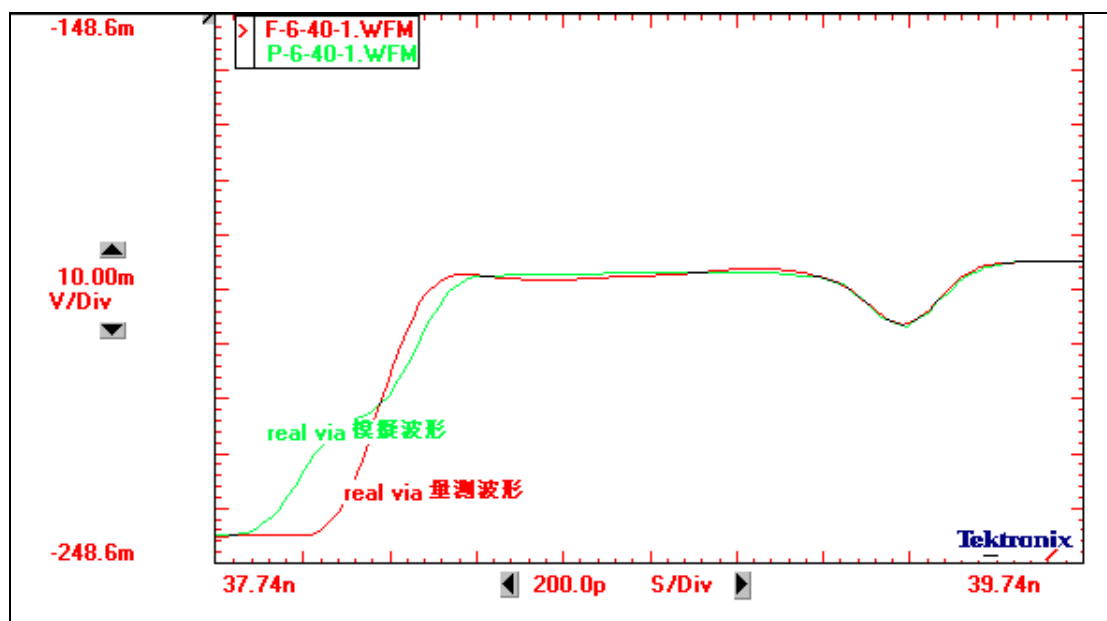


圖 11 real via 模擬值與量測值比較。

圖 12, 13 為貫孔 40(25)、25(15)、30(15)及 35(30)之 dummy-via 及 real-via 以上述方法求得之貫孔電容值與特性阻抗不連續值。由圖中可知第一個貫孔對傳輸線的特性阻抗影響最大，以 dummy via 孔徑 40(25)為例，電容值約 0.72pF，阻抗下掉約 10 歐姆。隨著貫孔數增加，貫孔的電容效應漸不明顯，這是因為每個貫孔及傳輸線會造成部分高頻訊號損耗，所以參數分析儀所量到的是貫孔電容效應之遞減結果。Real via 電容值比 dummy via 小是因為傳輸線由第一層連接到第六層過程中增加了電感值而將阻抗往上拉高[7]，因此在圖 7-圖 10 中 real via 所造成的阻抗不連續幅度較 dummy via 小。此外，公式(1)中之貫孔寄生電容與圖 1 貫孔模型中各參數之關係，亦可從圖 12 及圖 13 中得一明確之驗證。

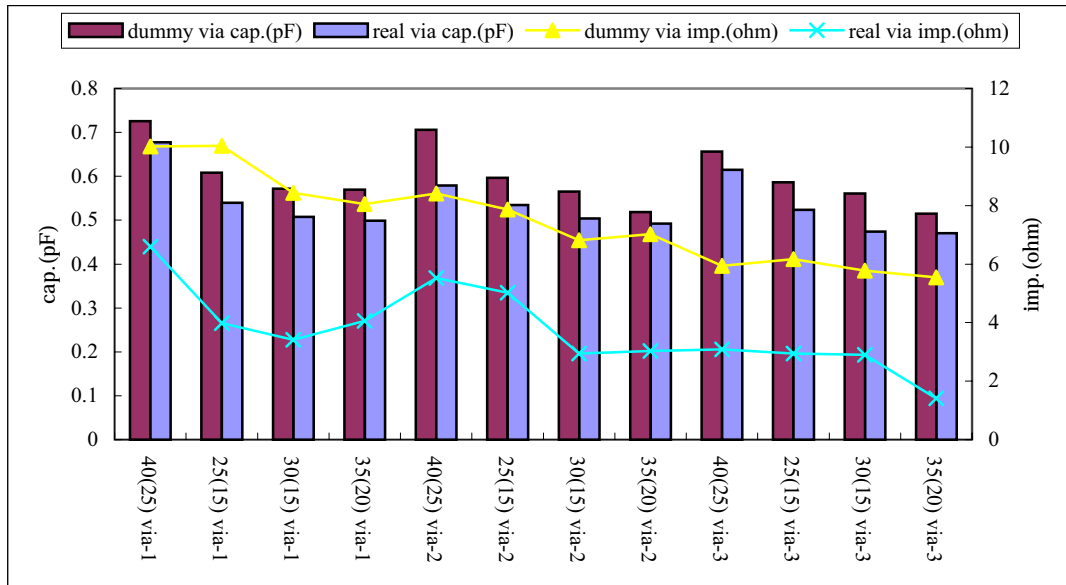


圖 12 第一塊測試板 dummy via 與 real via 電容值與阻抗不連續值對貫孔尺寸關係圖。橫座標之標註說明：40(25) via-1：為該傳輸線上第一個 40(25)之貫孔，餘依此類推。

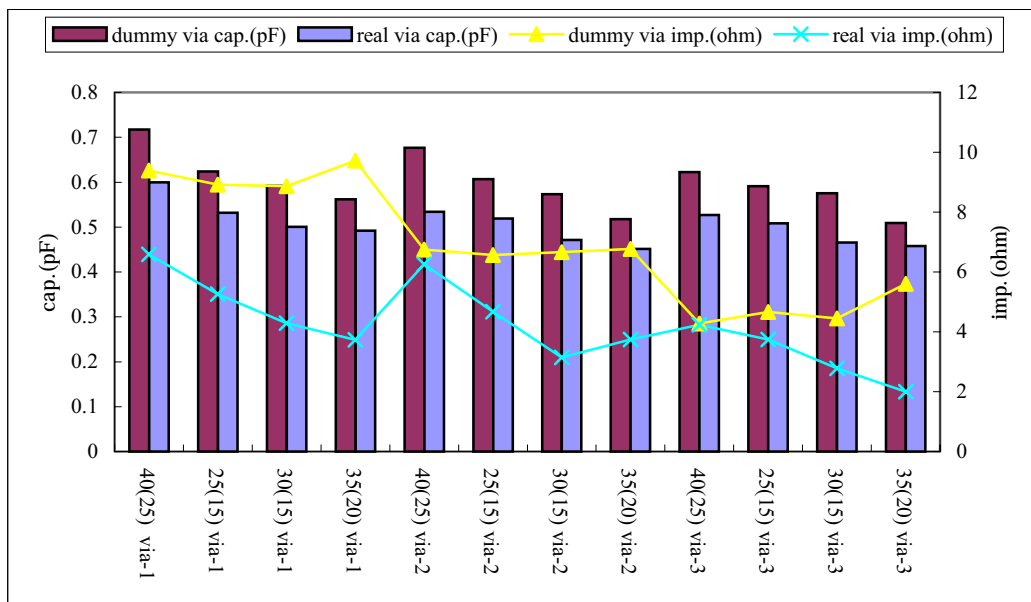


圖 13 第二塊測試板 dummy via 與 real via 電容值與阻抗不連續值對貫孔尺寸關係圖。

以下就以量測數據，分析印刷電路板厚度及線路傳輸模式對貫孔電容效應之影響。就印刷電路板厚度部分，將量測數據整理如圖 14 所示。厚度 57mil 之印刷電路板貫孔電容效應明顯小於厚度 63mil 之印刷電路板。由此可知厚度愈薄之印刷電路板其相對應之貫孔電容效應愈小，此與公式(1)不謀而合。故對考慮貫孔電容效應之高速印刷電路板設計而言，印刷電路板厚度之選擇為一重要課題。

就線路傳輸模式部分，將量測數據整理如圖 15 所示；採用 microstrip 之第一層佈線及採用 stripline 之第三層佈線之比較，由圖 15 中得知並無明顯之差異，故線路之傳輸模式對貫孔電容效應並無明顯之影響。

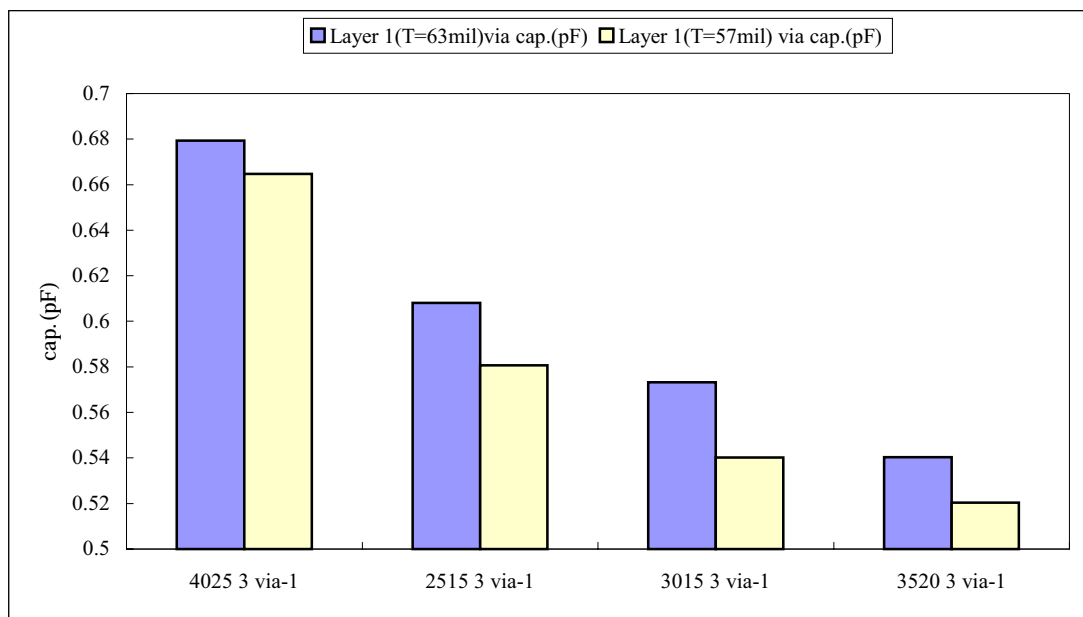


圖 14 板厚 T=63mil 時第一層與 T=57mil 第一訊號層貫孔電容值(pF)

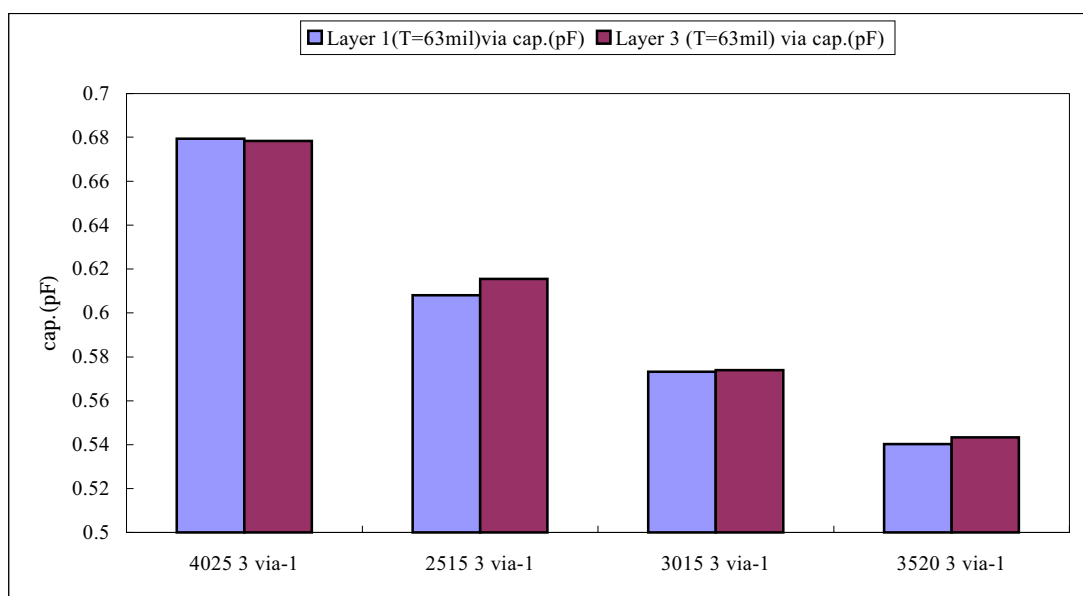


圖 15 板厚 T=63mil 時第一與第三訊號層貫孔電容值(pF)

在圖16中分別針對不同線寬量測傳輸線由第一層經貫孔40(25)連至第三層，再由第三層連接至第四層，最後連至第六層時特性阻抗變化情形。當線寬大於25 mil時貫孔所形成的阻抗不連續幾乎消失，故知當線寬與貫孔直徑相等時，其貫孔電容效應可忽略。

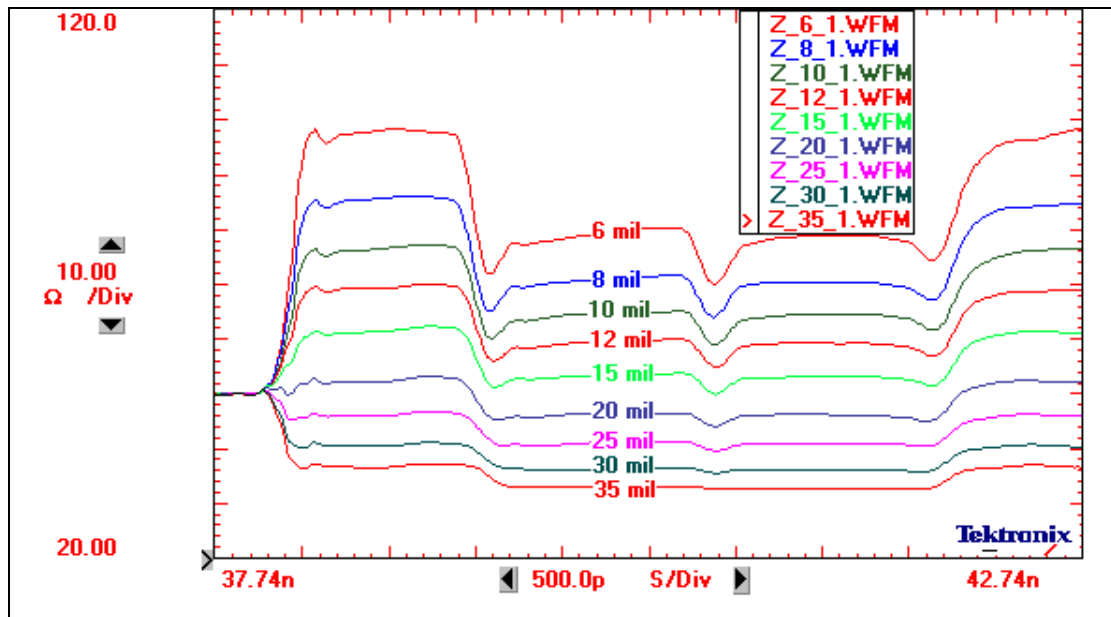


圖 16 線寬變化(6,8,10,12,15,20,25,30,35 mil)對貫孔 40(25)電容效應的影響。

圖17中real via電容效應與傳輸線所走訊號層有關。當傳輸線由第一層跳至第三層，因傳輸線對應到的接地層同為第二層，相對於傳輸線由第一層跳至第六層時對應不同接地層，前者貫孔電容效應較小。所以當印刷電路板設計時，若欲降低貫孔電容效應，需再換層佈線時，應使其佈線線路對應到相同之接地層。

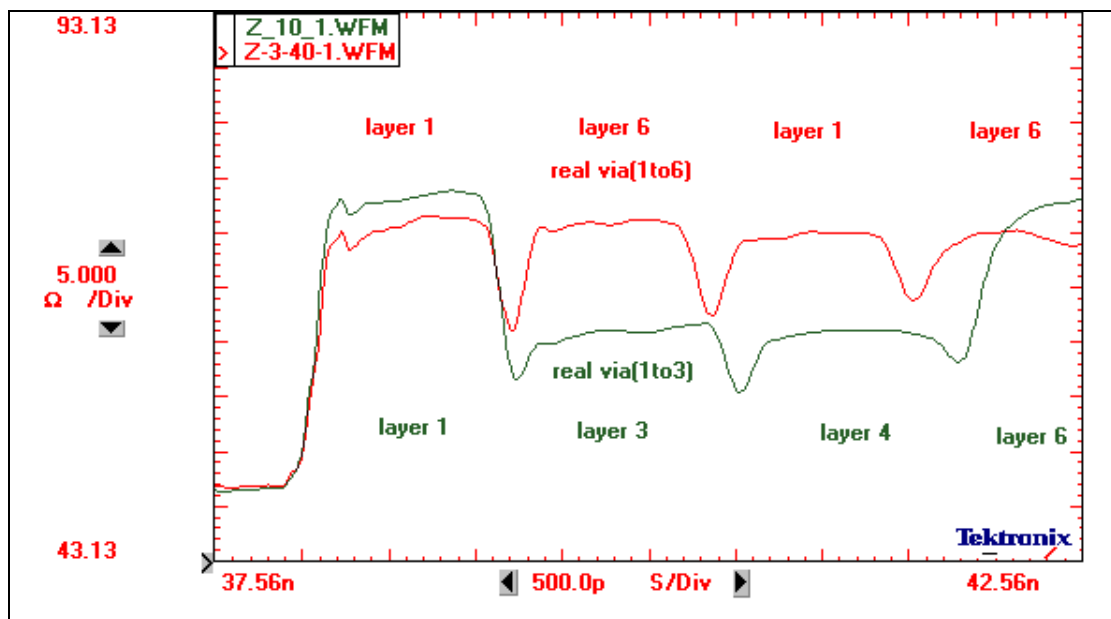


圖 17 real via(1,6 層)與 real via(1,3 層)貫孔所造成的阻抗變化比較。

貫孔電容效應對高速訊號另一重要影響是讓上升時間增加。公式(2)中訊號上升時間與電容值成正比，由實驗得知貫孔 40(25)電容值最大，因此其訊號上升較慢，其 T_{10-90} 為 60ps。以 200 psec. 上升時間為例，將使訊號上升時間變為 208.8psec. 如公式(4)所示。圖 18 所示為 dummy via 對上升時間之影響。

$$T_{Total} = \sqrt{T_{10-90}^2 + T_{Risetime}^2} \quad (4)$$

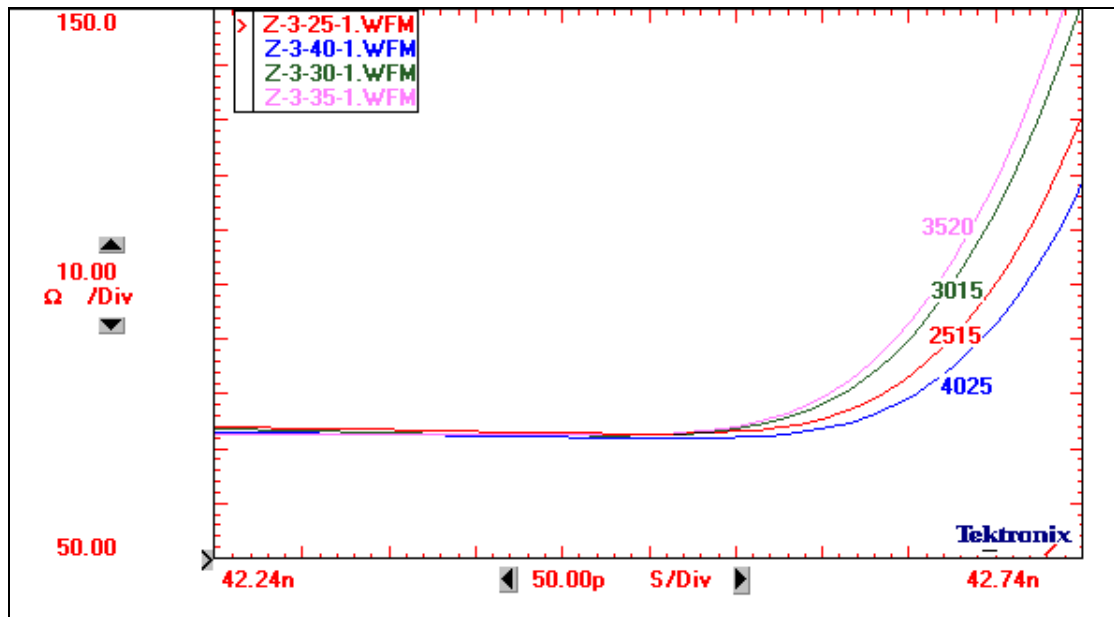


圖 18 dummy via 大小對訊號上升時間變化關係。

5. 結論

當訊號上升時間越來越快，對阻抗控制要求也越嚴格，貫孔所造成阻抗不連續將會使電路完全無法運作，因此需針對貫孔對傳輸線做補償[7],[8]。由本實驗我們了解：

1. 對同一貫孔而言，dummy via 的電容效應較 real via 大。
2. 貫孔會使得數位訊號上升時間變慢。
3. 傳輸線上第一個貫孔對特性阻抗影響最大。

為減小貫孔對傳輸線特性阻抗的影響，高速傳輸線若須穿孔時應讓傳輸線對應到同一接地層，線寬應大於貫孔 hole 直徑並將板厚變薄。若我們要保持接地層的連續性，則 clearance hole 的直徑不能太大，因此選擇 pad 直徑小的貫孔可減少其電容效應。考慮製作成本及繞線難易因素並利用公式(1)代入貫孔孔徑與板厚，找出最佳貫孔尺寸，如此才能讓貫孔對傳輸線的影響減至最低程度。

6. 誌謝

感謝本所 CAD 股林承銳先生及 PCB 股王振豐先生與張嫻女小姐提供電路板製做資料，使本實驗能順利完成。

參考資料

- [1] Howard W. Johnson, *High-Speed Digital Design ; A Handbook of Black Magic*. New Jersey: Prentice-Hall, 1993.
- [2] Douglas G. Brooks, "The Effects of Vias on PCB Traces," *Printed Circuit Design*, pp22-27, August 1996

- [3] Howard W. Johnson, "Through-Hole Clearances," *EDN*, July 8, 1999.
- [4] P. I. Somlo and D. L. Hollway, "Microwave location reflectometer," *Electron. Lett.*, vol. 5, pp. 468-469, Oct. 1969.
- [5] J. Detlefsen, "Frequency response of input impedance implies the distribution of discontinuities of a transmission line system," *Electron. Lett.*, vol. 6, pp. 67-69, Feb. 1970.
- [6] Ching-Wen Hsue and Te-Wen Pan, "Reconstruction of nonuniform transmission lines from time-domain Reflectometry," *IEEE Trans. Microwave Theory Tech.*, vol. 45, no.1, Jan. 1997.
- [7] Steve Chau, "Designing a 28 Ω interconnection with the AMP rimm connector," *AMP RIMM Connector Design Note*, April 1999.
- [8] —, "Slot 1 / Camino Design Guide Update," *Intel Design Guide*, Oct. 1998.

關鍵詞

貫孔(via)

時域反射儀(Time Domain Reflectometry)

穿透孔(through-hole)

繞線(routing traces)

臨界長度(critical length)

接地層(ground plane)

寄生電容(parasitic capacitance)

寄生電感(parasitic inductance)

訊號完整性(signal integrity)

簡易同軸探針(simple coaxial probe)